



**MINISTÉRIO DA EDUCAÇÃO**  
**SECRETARIA DE EDUCAÇÃO PROFISSIONAL E TECNOLOGIA**  
**INSTITUTO FEDERAL DE EDUCAÇÃO, CIENCIA E TECNOLOGIA DE MINAS GERAIS**

**CONCURSO PÚBLICO DE PROVAS E TÍTULOS – EDITAL 113/2016**  
**CAMPUS AVANÇADO ITABIRITO**  
**PROVA OBJETIVA**  
**PROFESSOR EBTT**  
**ÁREA/DISCIPLINA: ELETRÔNICA**

**ORIENTAÇÕES:**

1. **Não abra o caderno de questões** até que a autorização seja dada pelos Aplicadores;
2. A interpretação das questões é parte do processo de avaliação, não sendo permitidas perguntas aos Aplicadores de prova;
3. Nesta prova, as questões são de múltipla escolha, com cinco alternativas cada uma, sempre na sequência a, b, c, d, e, das quais somente uma é correta;
4. As respostas deverão ser repassadas ao cartão-resposta utilizando caneta na cor azul ou preta dentro do prazo estabelecido para realização da prova, previsto em Edital;
5. Observe a forma correta de preenchimento do cartão-resposta, pois apenas ele será levado em consideração na correção;
6. Não haverá substituição do cartão resposta por erro de preenchimento ou por rasuras feitas pelo candidato;
7. A marcação de mais de uma alternativa em uma mesma questão levará a anulação da mesma;
8. Não são permitidas consultas, empréstimos e comunicação entre os candidatos;
9. Ao concluir as provas, permaneça em seu lugar e comunique ao Aplicador de Prova. Aguarde a autorização para devolver o cartão resposta, devidamente assinado em local indicado. Não há necessidade de devolver o caderno de prova;
10. O candidato não poderá sair da sala de aplicação antes que tenha se passado 1h00min do início da aplicação das provas. Só será permitido que o candidato leve o caderno de prova objetiva após 4h00min de seu início;
11. Os três últimos candidatos deverão permanecer em sala até o fechamento da ata e assinatura dos mesmos para fechamento da sala de aplicação.

### QUESTÃO 01

Ligando-se 3 (três) flip-flops individuais em cascata, pode-se construir um contador binário de 3 bits, conforme a Figura 1. A saída do primeiro flip-flop atua como sinal de relógio para o segundo, o que causa sua alternância. O segundo flip-flop atua no terceiro da mesma forma. Maiores sequências de contagem podem ser obtidas com a adição de flip-flops em cascata, sendo que estes contadores podem contar de 0 a  $2^n-1$ , em que,  $n$  é o número de flip-flops. Pelo contador binário da Figura 1 é possível verificar que as saídas não mudam de estado ao mesmo tempo. Sendo assim, por exemplo, considere que todas as saídas estão em estado 1 (um). O próximo pulso de clock irá levar a contagem a 000, porém, não simultaneamente.

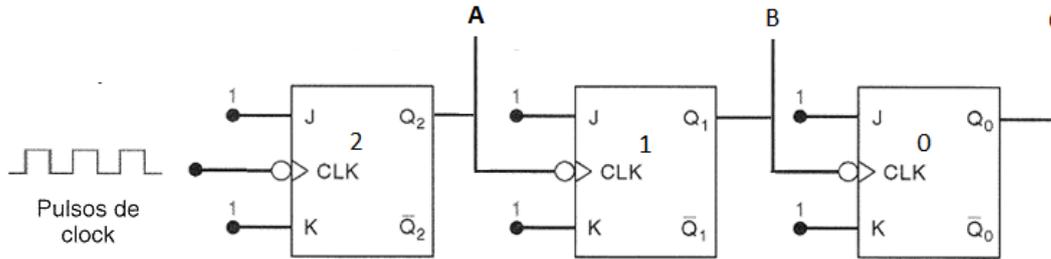


FIGURA 1

Com relação a este exemplo, considere as afirmativas abaixo:

I- Primeiramente, o pulso de clock (clk) muda o estado do primeiro flip-flop (2) que, após o seu tempo interno de propagação, leva a saída A ao nível lógico 0 (zero). Essa saída “A” será o sinal de clock do segundo flip-flop (1), que também irá, após o tempo de propagação, levar sua saída “B” para 0 (zero). E conseqüentemente, essa saída “B” será o sinal de clock do terceiro flip-flop (0), que também irá, após o tempo de propagação, levar sua saída “C” para 0 (zero).

II- Para as saídas do contador irem de 111 para 000, devem passar antes pelos estados 011 e 001.

III- A transição total deve ocorrer após, no mínimo, a soma dos tempos de propagação dos três flip-flops.

IV- O tempo de propagação limita a máxima frequência de contagem do contador.

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II, III e IV.
- b. I, II, III, apenas.
- c. I, II, IV, apenas.
- d. I, III e IV, apenas
- e. II, III, apenas

## QUESTÃO 02

O transistor de Efeito de Campo, conhecido por FET, do inglês Field Effect Transistor, permite o controle do fluxo de corrente elétrica. No geral, existem três tipos de FET, que se diferenciam em alguns aspectos construtivos e por algumas características elétricas, são estes: JFET, MOSFET do tipo indução e MOSFET do tipo depleção.

Analisando o circuito da Figura 2, considere as afirmativas abaixo:

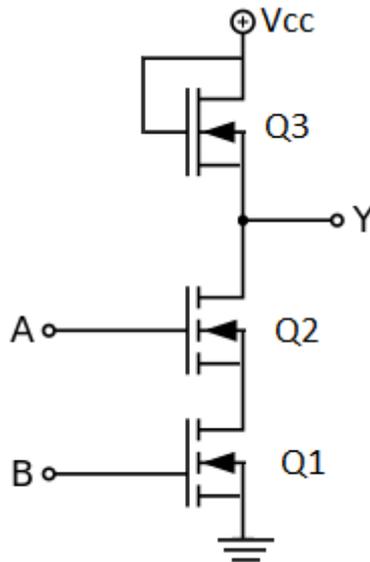


FIGURA 2

I- Os transistores Q1 e Q2 funcionam como chaves, enquanto Q3 tem a função de resistência de carga.

II- Se as duas entradas A e B receberem tensões iguais a  $V_{cc}$ , as chaves Q1 e Q2 fecharão e a saída Y ficará com potencial nulo ( $Y = 0V$ ).

III- Caso uma das entradas A ou B ou ambas receberem tensão nula ( $0V$ ), uma das chaves Q1 ou Q2 ou ambas abrirão e a saída Y ficará com o potencial positivo da fonte ( $Y = V_{cc}$ ).

IV- Este circuito ilustrado pela Figura 2, representa a porta NAND, de entradas A e B e saída Y.

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II, III e IV.
- b. I, II, III, apenas.
- c. I, II, IV, apenas.
- d. I, III e IV, apenas.
- e. II, III, apenas.

### QUESTÃO 03

Considere as afirmativas abaixo sobre CPLD:

I- Um dispositivo de lógica programável (PLD) simples, como é o caso dos PAL (programmable array logic) e GAL (generic array logic), é capaz de implementar quaisquer funções lógicas, combinacionais e sequenciais, desde que respeitadas as limitações impostas por suas quantidades de linhas de entrada e saída.

II- Um dispositivo CPLD (Complex Programmable Logic Device ou Dispositivo Lógico Complexo Programável) pode ser entendido como um conjunto de dispositivos PLD simples interconectados por uma matriz de conexões, também programável.

III- O conceito de célula lógica - bloco lógico composto de um arranjo combinacional programável conectado a um flip-flop, normalmente tipo D, foi introduzido pelos dispositivos FPGA (field-programmable gate array).

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II e III.
- b. I e II, apenas.
- c. III, apenas.
- d. I e III, apenas.
- e. II, apenas.

### QUESTÃO 04

Um FPGA (Field Programmable Gate Array ou Arranjo de Portas Programável em Campo) é um circuito integrado projetado para ser configurado por um consumidor ou projetista após a fabricação.

Considere as afirmativas abaixo sobre FPGA:

I- O termo "field-programmable" nos dispositivos FPGA está relacionado ao campo elétrico responsável pela manutenção de um estado lógico permanente em um transistor MOS de gate flutuante.

II- Os dados para o estabelecimento das funções lógicas desempenhadas por um dispositivo FPGA de alta densidade são armazenados em memória não-volátil, de modo que, uma vez alimentado, os dados de configuração são transferidos para as matrizes de conexão, onde são voláteis.

III- Os tempos de propagação internos, que determinam a frequência máxima de operação dos sistemas lógicos, são menores e mais facilmente determinados em dispositivos CPLD que em dispositivos FPGA.

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II e III.
- b. I e II, apenas.
- c. II e III, apenas.
- d. I e III, apenas.
- e. II, apenas.

QUESTÃO 05

Analisando o circuito ilustrado pela Figura 3, qual alternativa está correta com relação aos valores da resistência equivalente ( $R_{eq}$ ) e da corrente elétrica ( $I$ ) fornecida pela fonte de alimentação  $E$  do circuito, cuja tensão é de 15V.

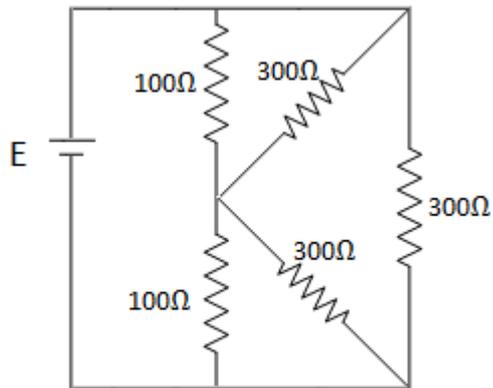


FIGURA 3

- a.  $R_{eq} = 300\Omega$  e  $I = 1,5A$ .
- b.  $R_{eq} = 100\Omega$  e  $I = 0,15A$ .
- c.  $R_{eq} = 200\Omega$  e  $I = 15A$ .
- d.  $R_{eq} = 150\Omega$  e  $I = 0,30A$ .
- e.  $R_{eq} = 200\Omega$  e  $I = 3,0A$

### QUESTÃO 06

Uma das aplicações do Transistor de Efeito de Campo por Junção ou Junction Field Effect Transistor (JFET) é a chave analógica, conforme ilustra o circuito da Figura 4.

Analisando o circuito desta aplicação, considere as afirmativas abaixo:

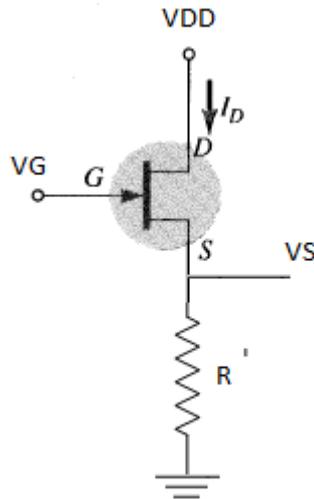


FIGURA 4

I- Quando  $V_G < V_P$  (tensão de constrição ou estrangulamento), o JFET encontra-se na região de corte, ou seja,  $I_D = 0$  e  $V_S \equiv 0$ . Portanto, é como se o JFET funcionasse como uma chave aberta.

II- Ao substituir a tensão VDD por um sinal analógico qualquer, o circuito funcionará da mesma forma. Por isso, esta aplicação tem o nome de chave analógica.

III- Com a chave analógica, é possível comandar a transmissão de uma informação qualquer de um circuito a outro.

IV- Quando  $V_G = 0$ , para um valor adequado de R, a corrente  $I_D$  pode levar o JFET a operar na região de saturação, funcionando como uma chave fechada ( $V_S \equiv V_{DD}$ ).

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II, III e IV.
- b. I, II, III, apenas.
- c. I, II, IV, apenas.
- d. I, III e IV, apenas
- e. II, III, apenas

## QUESTÃO 07

Visando atender aos diversos segmentos da indústria, incluindo seus usuários, e uniformizar as várias metodologias de programação dos controladores industriais, a norma IEC 61131-3 definiu sintática e semanticamente cinco linguagens de programação: Diagrama de Blocos de Funções (FBD), Diagrama Ladder (LD), Sequenciamento Gráfico de Funções (SFC), Lista de Instruções (IL) e Texto Estruturado (ST).

De acordo com estas linguagens de programação, considere as afirmativas abaixo:

I- O LD é uma linguagem gráfica baseada na lógica de relés e contatos elétricos, sendo que bobinas e contatos são símbolos utilizados nesta linguagem.

II- O SFC é uma linguagem textual que permite a descrição somente de ações sequenciais existentes em uma aplicação de controle. O SFC fornece os meios para estruturar uma unidade de organização de um programa num conjunto de etapas agrupadas por transições.

III- O FBD é uma das linguagens gráficas de programação cujos elementos são expressos por blocos interligados. Permite um desenvolvimento hierárquico e modular, uma vez que podem ser construídos blocos de funções mais complexos a partir de outros menores e mais simples.

IV- Bobinas e contatos são símbolos utilizados na linguagem LD. Os símbolos de contatos programados em uma linha representam as condições que serão avaliadas de acordo com a lógica.

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II, III e IV.
- b. I, II, III, apenas.
- c. I, II, IV, apenas.
- d. I, III e IV, apenas
- e. II, IV, apenas.

### QUESTÃO 08

O amplificador operacional comparador denominado de Schmitt Trigger se diferencia dos outros amplificadores pelo fato de gerar a tensão de referência  $V_R$  a partir da tensão de saída  $V_o$ , produzindo uma histerese na sua curva de transferência, conforme ilustra a Figura 5.

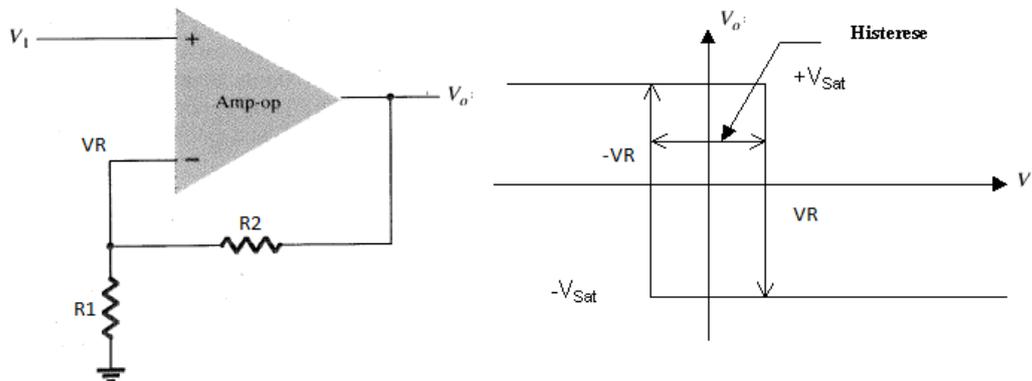


FIGURA 5

Sendo que  $V_i$  é o sinal de entrada, baseado na Figura 5, considere as afirmativas abaixo:

- I- A tensão de referência  $V_R$  pode ser positiva ou negativa, dependendo da tensão de saída  $V_o$ .
- II- A tensão de referência  $V_R$  é dada por:  $V_R = [R_1/(R_1+R_2)] * V_o$ , em que:  $V_o = \pm V_{sat}$ .
- III- Quando  $V_R$  é positivo ( $V_o > 0$ ), a tensão de entrada  $V_i$  pode variar desde valores negativos até positivos menores que  $+V_R$ , sem comutar a saída. Ao atingir  $+V_R$ , a tensão  $V_i$  provoca a comutação de  $V_o$ , que passa a ser negativa, convertendo a tensão  $V_R$  também em valor negativo.
- IV- A histerese pode ser útil na eliminação de ruídos de sinais, fazendo com que o circuito funcione como um regenerador de sinal.

Está(ão) correta(s) a(s) afirmação(ões):

- a. I, II, III e IV.
- b. I, II, III, apenas.
- c. I, II, IV, apenas.
- d. I, III e IV, apenas.
- e. II, IV, apenas.

QUESTÃO 09

Dado o circuito a seguir (Figura 6), determine a correta expressão de saída ( $V_o$ ) em função de  $A$ ,  $B$  e  $C$ .

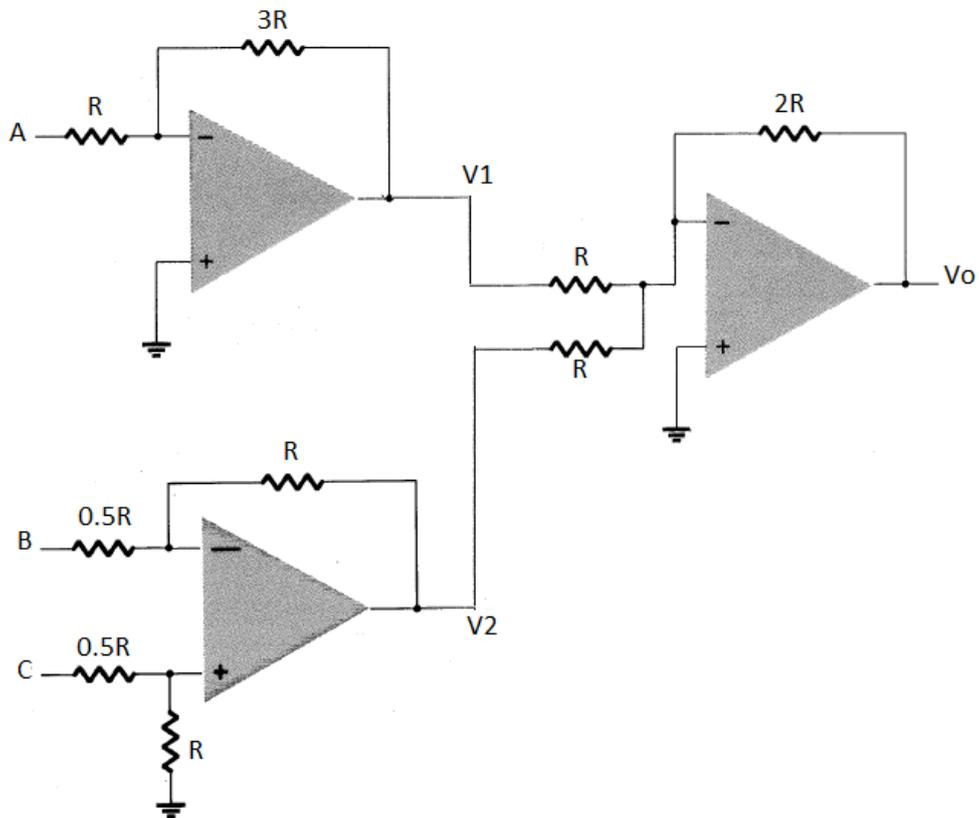


FIGURA 6

Selecione a alternativa que representa corretamente a expressão de saída  $V_o$  do circuito da FIGURA 6.

- a.  $4A + 6B - 4C$
- b.  $6A - 4B + 4C$
- c.  $4A + 2B - 6C$
- d.  $4A - 2B + 6C$
- e.  $6A + 4B - 4C$

### QUESTÃO 10

Uma carga trifásica em Y com resistência de  $20\Omega$  está sendo alimentada por um inversor trifásico em ponte. A fonte de tensão CC é de  $500V$  e o inversor opera no modo de condução por  $180^\circ$ . A Figura 7 mostra as etapas de chaveamento desse inversor. Dessa forma, assinale a alternativa que corresponde a corrente fornecida pela fonte CC.

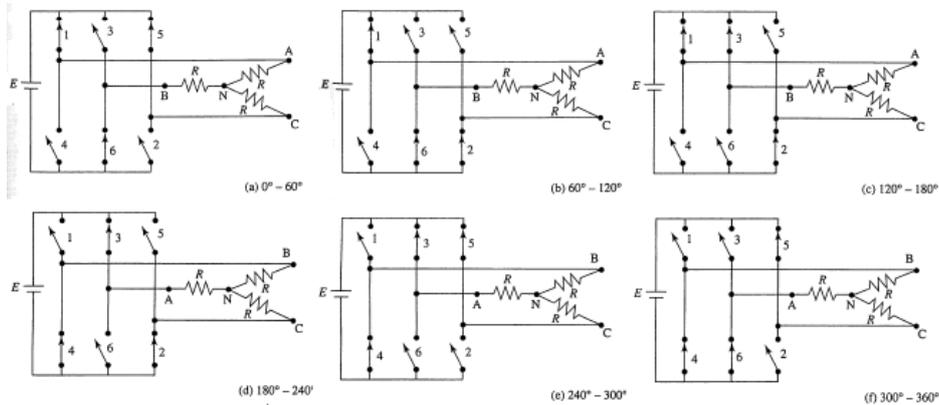


FIGURA 7

- a. 12,50A
- b. 16,67A
- c. 08,33A
- d. 14,43A
- e. 25,00A

### QUESTÃO 11

Com relação aos conversores de tensão cc em tensão ca, julgue as afirmações abaixo.

- I. Os inversores são circuitos que possuem a função de converter tensão cc em ca com amplitude e frequência desejada.
- II. Os inversores são utilizados para realizar o acionamento de máquinas em corrente alternada (motor ca).
- III. Os inversores operam somente de forma unidirecional.
- IV. Um inversor monofásico meia ponte, produzirá uma tensão de saída simétrica para qualquer valor de ciclo de trabalho do sinal PWM.
- V. Com um inversor de frequência é possível controlar a velocidade de rotação de um motor de indução trifásico.

Assinale a alternativa que contenha somente as afirmações corretas.

- a. I,II,IV e V.
- b. I,III e V.
- c. I,II e V.
- d. II,III e IV.
- e. I,II, e IV.

QUESTÃO 12

Um inversor PWM está alimentando uma carga resistiva, a forma de onda da saída deste inversor é mostrada na Figura 8. Assinale a alternativa que corresponde ao valor RMS da tensão de saída desse circuito.

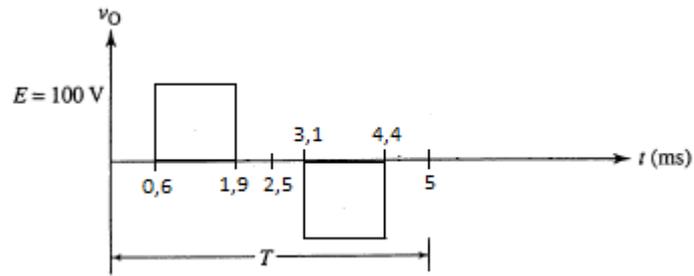


FIGURA 8

- a. 26,00V
- b. 50,05V
- c. 36,05V
- d. 20,01V
- e. 72,11V

QUESTÃO 13

Utilizando um regulador *buck*, como na Figura 9 a seguir, com uma tensão de entrada de  $V_E=15V$ , um ciclo de trabalho de 46%, uma ondulação da tensão de saída igual a 20mV. A frequência de chaveamento é 20kHz. Pode-se dizer que a tensão de saída  $V_S$  é igual a:

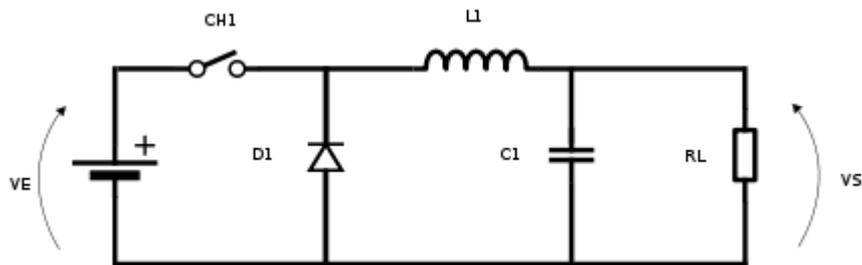


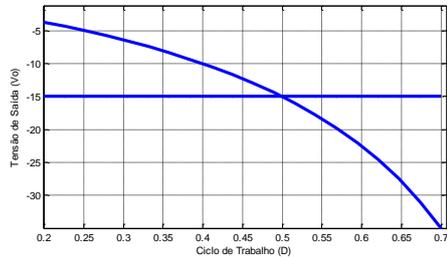
FIGURA 9

- a. 15,2V
- b. 14,8V
- c. 32,6V
- d. 3,0V
- e. 6,9V

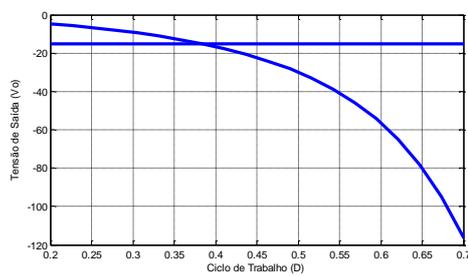
### QUESTÃO 14

Um regulador *buck-boost* tem característica de produzir uma tensão de saída ( $V_o$ ), em amplitude, maior, igual ou menor que a tensão de entrada ( $V_a$ ). O valor de  $V_o$  dependerá do ciclo de trabalho ( $D$ ) de operação do circuito. Dessa forma, assinale a alternativa que representa a relação da tensão de saída ( $V_o$ ) em função do ciclo de trabalho ( $D$ ) de um regulador *buck-boost* com tensão de entrada ( $V_a$ ) igual a 15V. Considere  $V_o$  com polaridade inversa à  $V_a$ .

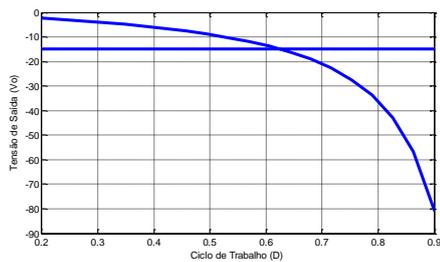
a.



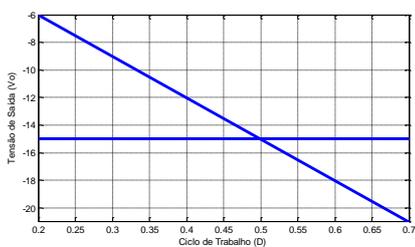
b.



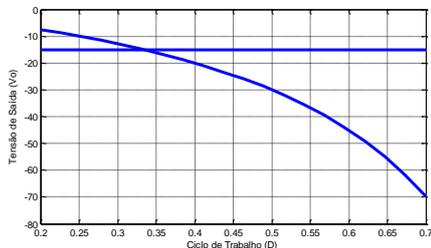
c.



d.



e.



**QUESTÃO 15**

Sabendo que os FPGAs e CPLDs são dispositivos lógicos programáveis. Julgue as afirmações abaixo.

- I. FPGAs são compostos por muitos pequenos blocos lógicos com flip-flops. CPLDs são compostos por um pequeno número de grande blocos lógicos.
- II. Os FPGAs possuem um tempo de resposta melhor que os CPLDs.
- III. CPLDs são baseados em RAM, enquanto os FPGAs são baseados em EEPROM.
- IV. FPGAs são, tipicamente, usados em projetos complexos.

Assinale a alternativa que contenha somente as afirmações corretas.

- a. I e IV
- b. I e III
- c. II e IV
- d. I, II, III e IV
- e. II, III e IV

### QUESTÃO 16

O FPGA pode ser considerado com um conjunto de pequenos circuitos fortemente condensados. Essa estrutura fornece um circuito integrado que pode ser configurado por um software e implementar funções específicas. Com relação às tecnologias dos FPGA's, julgue as afirmações a seguir:

- I. Utilizando um FPGA, é possível implementar circuitos digitais, como codificadores e decodificadores.
- II. As tecnologias conhecidas como *antifuse* e SRAM possuem como característica comum a capacidade de serem reprogramáveis.
- III. A principal vantagem da tecnologia chamada de *Gate flutuante* e/ou EPROM é a possibilidade de reprogramação e retenção de dados.
- IV. Os FPGAs possuem planos OR e AND.

Assinale a alternativa que contenha somente as afirmações corretas.

- a. I, II e III
- b. I, II e IV
- c. II e III
- d. I e III
- e. II e IV

### QUESTÃO 17

O Circuito da Figura 10 representa uma fonte cc utilizando diodo Zener como regulador de tensão. O diodo Zener utilizado possui uma tensão Zener  $V_z=10V$  e uma corrente mínima igual a  $5mA$ . Sabendo que a tensão mínima da fonte de alimentação é  $24V$ , determine o valor mínimo da Resistência de carga ( $R_L$ ) que garanta o funcionamento do regulador Zener e assinale a alternativa correta.

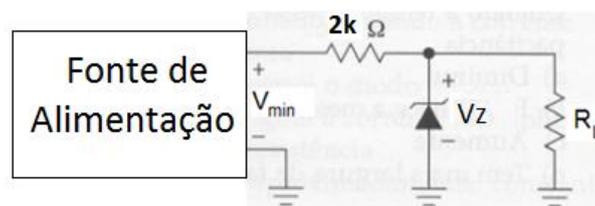


FIGURA 10

- a.  $R_L=2K\Omega$
- b.  $R_L=4,8K\Omega$
- c.  $R_L=5K\Omega$
- d.  $R_L=1,43K\Omega$
- e.  $R_L=335\Omega$

QUESTÃO 18

Considere o circuito RLC paralelo com tensão alternada  $V$ , frequência  $\omega$ , resistência  $R$ , indutância  $L$  e capacitância  $C$ , conforme Figura 11:

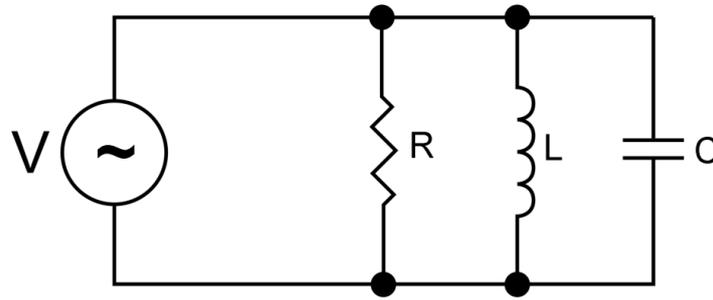


FIGURA 11

O valor da corrente sobre o capacitor e da frequência angular de ressonância ( $\omega_0$ ) para o circuito apresentado são, respectivamente:

- a.  $\frac{V}{C}$  e  $\frac{1}{\sqrt{LC}}$
- b.  $V\omega C$  e  $\sqrt{LC}$
- c.  $V\omega C$  e  $\frac{1}{\sqrt{LC}}$
- d.  $\frac{V}{C}$  e  $\sqrt{LC}$
- e.  $\frac{V}{RC}$  e  $\frac{R}{\sqrt{LC}}$

QUESTÃO 19

Considere o circuito de polarização de transistor por divisor de tensão conforme Figura 12, com valores de  $V_{CC} = 10V$ ,  $R_1 = 4K\Omega$ ,  $R_2 = 1K\Omega$ ,  $R_E = 1K\Omega$ ,  $R_C = 2K\Omega$  e  $\beta = 100$ .

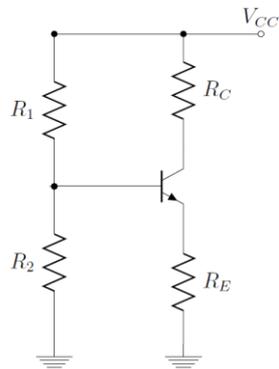


FIGURA 12

Qual o valor da tensão coletor-emissor (VCE)?

- a. 3,3 V
- b. 6,1 V
- c. 7,4 V
- d. 10 V
- e. 1,3 V

QUESTÃO 20

Considere o circuito flip-flop RS básico, conforme apresentado na Figura 13.

São apresentados os sinais das entradas R e S. Considere ainda que a saída Q está em nível lógico baixo no instante inicial.

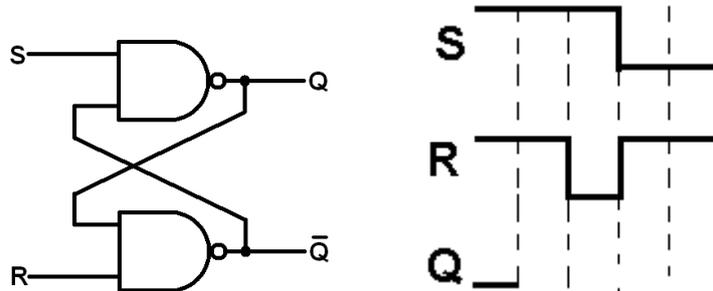


FIGURA 13

Qual forma de onda que apresenta a saída Q para o circuito e as condições propostas?

- a.
- b.
- c.
- d.
- e.

#### QUESTÃO 21

A norma IEC 61131-3, que trata da programação de Controladores Lógicos Programáveis, define três instruções de temporização. Abaixo são apresentadas definições para três instruções:

- I. Quando a entrada muda do nível lógico alto para o nível lógico baixo a saída assume nível lógico alto e a contagem de tempo é iniciada. Quando o tempo programado na instrução é atingido, a saída assume nível lógico baixo.
- II. Quando a entrada passa de falsa para verdadeira, a saída assume nível lógico alto e permanece até que seja esgotado o tempo programado na instrução, independentemente da entrada continuar ou não ligada.
- III. Quando a entrada passa de falsa para verdadeira é iniciada a contagem de tempo e a saída só é energizada quando o tempo programado na instrução é atingido. Caso a entrada seja desativada antes do tempo programado ser atingido, a temporização é interrompida e o tempo acumulado é zerado.

As instruções I, II e III são, respectivamente:

- a. TOF (*Timer Off Delay*), TON (*Timer On Delay*) e TP (*Pulse Timer*).
- b. TON (*Timer On Delay*), TOF (*Timer Off Delay*) e TP (*Pulse Timer*).
- c. TON (*Timer On Delay*), TP (*Pulse Timer*) e TOF (*Timer Off Delay*).
- d. TP (*Pulse Timer*), TOF (*Timer Off Delay*) e TON (*Timer On Delay*).
- e. TOF (*Timer Off Delay*), TP (*Pulse Timer*) e TON (*Timer On Delay*).

QUESTÃO 22

É apresentado na Figura 14 um trecho de um programa de um Controlador Lógico Programável (CLP) feito em LADDER.

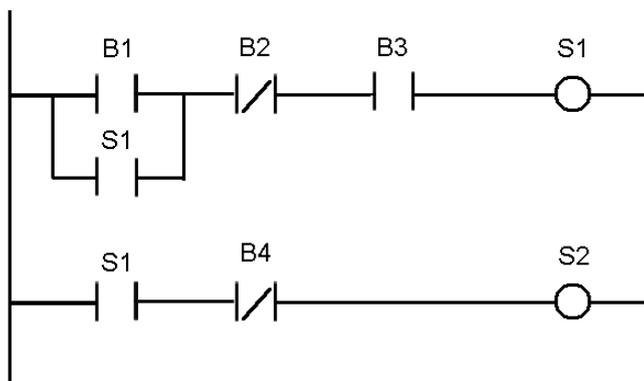


FIGURA 14

B1, B2, B3 e B4 são entradas do CLP ligadas a sensores NA (normalmente aberto) sem retenção, S1 é uma saída auxiliar e S2 é uma saída do CLP que quando acionada liga um motor. Quando a saída S2 não está acionada, o motor está desligado.

Baseado no trecho de programa e nas informações apresentadas é CORRETO afirmar que:

- Depois que o motor estiver ligado, o acionamento do sensor B4 provocará o desligamento do motor. Para ligá-lo novamente, será necessário que os sensores B1 e B3 sejam acionados simultaneamente.
- Se o sensor B2 for acionado o motor será desligado e para ligá-lo novamente será necessário que os sensores B1 e B3 sejam acionados simultaneamente.
- O motor somente ficará ligado enquanto o sensor B1 estiver acionado.
- Para ligar o motor, é indispensável que os sensores B1, B2 e B3 sejam acionados.
- Se o motor estiver ligado, o acionamento do sensor B1 provocará o desligamento do motor.

QUESTÃO 23

São apresentadas abaixo as equações no tempo que definem o comportamento de três sistemas:

- I.  $y(t) = 2t + 1$
- II.  $y(t) = \begin{cases} 0, & \text{para } t < 5s \\ 2t, & \text{para } t \geq 5s \end{cases}$
- III.  $y(t) = 2t$

É CORRETO afirmar que:

- a. O sistema II é invariante no tempo.
- b. O sistema I é variante no tempo.
- c. O sistema II é linear.
- d. O sistema I é não linear.
- e. O sistema III é variante no tempo.

QUESTÃO 24

Uma função  $f(x)$  definida para qualquer  $x$  pertencente ao conjunto dos números naturais é apresentada abaixo:

$$f(x) = \begin{cases} 2x, & \text{se } 0 \leq x \leq 4 \\ 0, & \text{se } x \geq 5 \end{cases}$$

Determine a transformada Z da função  $f(x)$ .

- a.  $\frac{1}{2z}$
- b.  $\frac{2z^3 + 4z^2 + 6z + 8}{z^4}$
- c.  $\frac{8z^3 + 6z^2 + 4z + 2}{z^4}$
- d.  $\frac{8z^3 - 6z^2 + 4 - 2}{z^4}$
- e.  $2z^4 + 4z^3 + 6z^2 + 8z$

QUESTÃO 25

Considere o trecho de programa de um Controlador Lógico Programável (CLP) feito em LADDER apresentado na Figura 15:

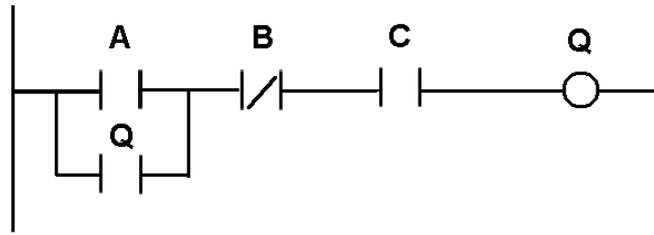


FIGURA 15

De acordo com a norma IEC-6113-1, o programa em *Function Block Diagram* (FBD) que fornecerá o mesmo resultado é:

- a. 

Option a shows an AND block with inputs A and C. Its output is connected to the S input of an RS block. An OR block has inputs B and C. Its output is connected to the R1 input of the RS block. The output of the RS block is labeled Q1, which is also labeled Q.
- b. 

Option b shows a single AND block with three inputs: A, B, and C. The output is labeled Q.
- c. 

Option c shows two AND blocks. The first has inputs A and C, and the second has inputs B and C. The output of the first AND block is connected to the S input of an RS block. The output of the second AND block is connected to the R1 input of the RS block. The output of the RS block is labeled Q1, which is also labeled Q.
- d. 

Option d shows an AND block with inputs A and C, and an OR block with inputs B and C. The output of the AND block is connected to the S input of an SR block. The output of the OR block is connected to the R1 input of the SR block. The output of the SR block is labeled Q1, which is also labeled Q.
- e. 

Option e shows an AND block with inputs A and C. Its output is connected to the S input of an RS block. The input B is connected to the R1 input of the RS block. The output of the RS block is labeled Q1, which is also labeled Q.

